

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Tadahiko MATSUMOTO Serial No.: Currently unknown Filing Date: Concurrently herewith For: DC-DC CONVERTER	
---	--

TRANSMITTAL OF PRIORITY DOCUMENTS

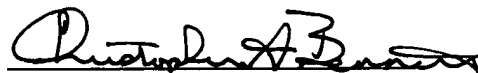
Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of each of Japanese Patent Application Nos. 2002-323489 filed on November 7, 2002 and 2003-304922 filed on August 28, 2003, from which priority is claimed under 35 U.S.C. 119 and Rule 55b. Acknowledgement of the priority document is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

Date: October 29, 2003



Attorneys for Applicant(s)  
Joseph R. Keating  
Registration No. 37,368

Christopher A. Bennett  
Registration No. 46,710

**KEATING & BENNETT LLP**  
10400 Eaton Place, Suite 312  
Fairfax, VA 22030  
Telephone: (703) 385-5200

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    8 月 2 8 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 3 0 4 9 2 2  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 3 0 4 9 2 2 ]

出      願      人                      株式会社村田製作所  
Applicant(s):

2 0 0 3 年    9 月 2 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 7 8 2 3 5

【書類名】 特許願  
【整理番号】 MP1108  
【提出日】 平成15年 8月28日  
【あて先】 特許庁長官殿  
【国際特許分類】 H02M 3/28  
【発明者】  
    【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田製作所内  
    【氏名】 松本 匡彦  
【特許出願人】  
    【識別番号】 000006231  
    【氏名又は名称】 株式会社村田製作所  
【代理人】  
    【識別番号】 100093894  
    【弁理士】  
    【氏名又は名称】 五十嵐 清  
【先の出願に基づく優先権主張】  
    【出願番号】 特願2002-323489  
    【出願日】 平成14年11月 7日  
【手数料の表示】  
    【予納台帳番号】 000480  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9004888

**【書類名】 特許請求の範囲****【請求項 1】**

トランスの一次側に設けられた 1 個以上の電力スイッチのスイッチング動作によって、トランスの二次側から交流電力が出力され、当該交流電力がトランスの二次側に接続された整流平滑回路により直流に変換される構成を備えた DC-DC コンバータにおいて、電力スイッチのスイッチング動作を制御するためのオン信号とオフ信号を交互に電力スイッチに向けて出力する電力スイッチ駆動回路が設けられ、また、トランスの二次側の整流平滑回路には、前記電力スイッチとはスイッチングのオンとオフの動作が逆となる MOSFET から成る逆駆動タイプの同期整流器が設けられており、さらに、電力スイッチ駆動回路から電力スイッチへのオン信号の出力を検知してオン信号による電力スイッチのオン動作開始を妨げて電力スイッチのオンタイミングを遅延させるオンタイミング遅延回路と、電力スイッチ駆動回路から電力スイッチへのオン信号の出力を検知したときに直ちに前記逆駆動タイプの同期整流器にオフ信号を出力して、オンタイミング遅延回路により電力スイッチのオン動作開始が遅延している期間に逆駆動タイプの同期整流器をオフさせる早期ターンオフ回路とが設けられており、さらに、逆駆動タイプの同期整流器のゲート電圧の低下を検出して当該同期整流器のオフを検知したときに、オンタイミング遅延回路の遅延動作を解消させる遅延解消回路が設けられていることを特徴とする DC-DC コンバータ。

**【請求項 2】**

オンタイミング遅延回路は、電力スイッチ駆動回路から電力スイッチに至るまでの信号経路上に介設されていることを特徴とする請求項 1 記載の DC-DC コンバータ。

**【請求項 3】**

DC-DC コンバータはフォワードタイプの DC-DC コンバータと成し、逆駆動タイプの同期整流器は転流側同期整流器であることを特徴とする請求項 1 又は請求項 2 記載の DC-DC コンバータ。

**【請求項 4】**

早期ターンオフ回路は、電力スイッチ駆動回路から電力スイッチへのオン信号の出力を知らせる信号をパルス信号に変換してトランスの一次側から二次側へ伝達して逆駆動タイプの同期整流器をオフさせるためのパルストランスを有していることを特徴とする請求項 1 又は請求項 2 又は請求項 3 記載の DC-DC コンバータ。

**【請求項 5】**

オンタイミング遅延回路は、早期ターンオフ回路のパルストランスの励磁インダクタンスを利用して電力スイッチのオンタイミングを遅延させる構成と成し、遅延解消回路は、逆駆動タイプの同期整流器がオフしたことを知らせる信号をパルストランスに加えて当該パルストランスの励磁インダクタンスによるオンタイミング遅延回路の遅延動作を解消させる構成と成していることを特徴とする請求項 4 記載の DC-DC コンバータ。

**【請求項 6】**

遅延解消回路によってオンタイミング遅延回路の遅延動作が解消されたときに電力スイッチに向けてオン促進信号を出力し、電力スイッチのターンオン動作を早める電力スイッチオン促進回路が設けられていることを特徴とする請求項 1 乃至請求項 5 の何れか 1 つに記載の DC-DC コンバータ。

**【請求項 7】**

オンタイミング遅延回路には、遅延動作終了タイミングを調整するための遅延調整回路が設けられていることを特徴とする請求項 1 乃至請求項 6 の何れか 1 つに記載の DC-DC コンバータ。

**【書類名】 明細書****【発明の名称】** DC-DC コンバータ**【技術分野】****【0001】**

本発明は、同期整流器が設けられている絶縁型のDC-DCコンバータに関するものである。

**【背景技術】****【0002】**

DC-DCコンバータの一例が図6の概略の回路図に、また、その回路の概略の動作波形の一例が図7にそれぞれ示されている。ここではフォワードコンバータを例として説明する。この回路は、特許文献1（特開2000-262051号公報）に開示されているものである。

**【0003】**

図6に示すDC-DCコンバータは、メイントランス2と、電力スイッチ3（NチャネルMOSFET）と、制御IC4と、整流側同期整流器5（NチャネルMOSFET）と、転流側同期整流器6（NチャネルMOSFET）と、チョークコイル7と、コンデンサ8と、早期ターンオフ回路16とを有して構成されている。

**【0004】**

また、メイントランス2は、一次コイル2Aと二次コイル2Bと、補助コイル2Cとを備えている。制御IC4は、内部に図示を省略した電力スイッチ駆動回路を備え、この電力スイッチ駆動回路で生成された電力スイッチ駆動信号を出力する出力端子OUTと、グランド端子GNDとを備えている。早期ターンオフ回路16は、ダイオード10と、抵抗体11と、パルストランス12と、NチャネルMOSFET13とを有して構成されている。パルストランス12は、一次コイル12Aと二次コイル12Bを備えている。

**【0005】**

次に、DC-DCコンバータの動作例を図7の動作波形を用いて説明する。まず、このDC-DCコンバータの電力変換動作について説明する。例えば、制御IC4の電力スイッチ駆動回路から図7（c）に示すようなパルス波形の電力スイッチ駆動信号が電力スイッチ3のゲートに向けて出力され、この電力スイッチ駆動信号のオン信号とオフ信号に基づいて電力スイッチ3がオン・オフのスイッチング動作を行う。この電力スイッチ3のスイッチングによって、外部の直流入力電源1から入力した直流電圧が、メイントランス2の一次コイル2A側で交流電圧に変換されて、メイントランス2の二次コイル2B側に伝達される。

**【0006】**

二次コイル2B側の同期整流器5、6とチョークコイル7とコンデンサ8は整流平滑回路を構成している。この整流平滑回路では、メイントランス2の二次コイル2Bから出力された交流電圧を、後述する整流側同期整流器5と転流側同期整流器6の各スイッチング動作により整流し、チョークコイル7とコンデンサ8で平滑して直流電圧に変換する。この直流電圧は、DC-DCコンバータに接続された外部の負荷装置9に供給される。この出力電圧に応じた信号がフィードバック信号として、図示を省略したフィードバックループにより、制御IC4に伝達される。このフィードバック信号に基づいて、制御IC4の電力スイッチ駆動回路が例えばPWM制御方式により電力スイッチ3のスイッチング動作を制御することで、負荷装置9に供給される直流電圧が安定化する。

**【0007】**

前記整流側同期整流器5は、電力スイッチ3のオン期間におけるメイントランス2の二次コイル2Bに発生する電圧でオン駆動し、電力スイッチ3のオフ期間にはオフする。つまり、整流側同期整流器5は、電力スイッチ3のオン・オフとほぼ同期したタイミングでスイッチング動作する。

**【0008】**

これに対して、転流側同期整流器6は、電力スイッチ3のオフ期間におけるメイントラ

ンス 2 の二次コイル 2 B のリセットパルス電圧でターンオンし、電力スイッチ 3 のオン期間にはオフするものであり、当該転流側同期整流器 6 は、電力スイッチ 3 とはスイッチングのオンとオフの動作が逆となる逆駆動タイプの同期整流器と成している。

#### 【0009】

ところで、図 6 の回路例では、早期ターンオフ回路 16 と後述するオンタイミング遅延回路の動作によって、転流側同期整流器 6 は、電力スイッチ 3 がオンする前にターンオフする構成を有している。

#### 【0010】

次に、早期ターンオフ回路 16 の動作例を説明する。図 7 (c) に示すように、タイミング  $t_1$  において、制御 IC 4 内部の電力スイッチ駆動回路から、電力スイッチ 3 をターンオンさせるオン信号が出力されると、このオン信号によって、パルストランス 12 の一次コイル 12 A と電力スイッチ 3 のゲート（制御端子）の直列回路に電圧が印加する。このタイミング  $t_1$  の時点では、電力スイッチ 3 のゲート電圧は 0 V なので、電力スイッチ駆動回路の出力電圧は全てパルストランス 12 の一次コイル 12 A に加わる。これにより、パルストランス 12 の二次コイル 12 B から図 7 (e) に示すようなパルス信号が出力される。

#### 【0011】

この二次コイル 12 B から出力されたパルス信号は N チャネル MOSFET 13 のゲート（制御端子）に加わり、これにより、N チャネル MOSFET 13 がターンオンする。N チャネル MOSFET 13 がターンオンすると、図 7 (f) に示すように、タイミング  $t_2$  において、転流側同期整流器 6 のゲート蓄積電荷が放電して、転流側同期整流器 6 がターンオフする。

#### 【0012】

これに対して、電力スイッチ 3 においては、タイミング  $t_1$  で、制御 IC 4 から電力スイッチ 3 へのオン信号の出力が開始されると、そのオン信号が抵抗体 11 とパルストランス 12 を介し電力スイッチ 3 のゲートに加えられて電力スイッチ 3 の入力容量に電荷が充電されていくが、抵抗体 11 と、パルストランス 12 の励磁インダクタンスとが遅延要素として作用して、電力スイッチ 3 のゲート電圧の上昇は緩やかである（図 7 (d) 参照）。そして、電力スイッチ 3 のゲート電圧がスレシールド値に達したときに（タイミング  $t_3$ ）、電力スイッチ 3 はターンオンする。この電力スイッチ 3 のオンタイミングが、早期ターンオフ回路 16 による転流側同期整流器 6 のターンオフよりも後となるように、電力スイッチ 3 のオンタイミングの遅延量が定められ、当該遅延量が得られるように抵抗体 11 の抵抗値や、パルストランス 12 の励磁インダクタンスが設定されている。すなわち、抵抗体 11 とパルストランス 12 によって、電力スイッチ 3 のオンタイミングを遅延させるオンタイミング遅延回路が構成されている。

#### 【0013】

電力スイッチ 3 がオンすると（タイミング  $t_3$ ）、電力スイッチ 3 の両端電圧（ドレインソース間電圧）が図 7 (a) に示すように低下し始める。この低下の間、電力スイッチ 3 のゲート電圧はミラー効果によってスレシールド値に保持される（図 7 (d) のタイミング  $t_3 \sim t_4$  の期間を参照）。そして、電力スイッチ 3 の両端電圧が 0 V に達すると（タイミング  $t_4$ ）、ミラー効果の影響がなくなって、電力スイッチ 3 のゲート電圧の上昇が再開する。電力スイッチ 3 のゲート電圧が制御 IC 4 の電源電圧に達すると（タイミング  $t_5$ ）、パルストランス 12 のパルス電圧の出力が停止する（図 7 (e) 参照）。

#### 【0014】

パルストランス 12 のパルス電圧の出力が停止すると、パルストランス 12 → ダイオード 10 → パルストランス 12 の経路で循環電流が流れ、ダイオード 10 の順方向電圧降下によってパルストランス 12 の励磁状態がリセットされる。タイミング  $t_6$  で、制御 IC 4 内部の電力スイッチ駆動回路から電力スイッチ 3 をターンオフさせるオフ信号が出力されると（図 7 (c) 参照）、ダイオード 10 を介して電力スイッチ 3 の入力容量の蓄積電荷が放電され、電力スイッチ 3 がターンオフする。

## 【0015】

上記のように、早期ターンオフ回路16およびオンタイミング遅延回路の動作によって、制御IC4から電力スイッチ3のオン信号が出力されてから、電力スイッチ3がオンするまでに遅延期間を設け、当該遅延期間中に、転流側同期整流器6をターンオフさせることで、転流側同期整流器6のターンオフ遅れによる短絡電流の発生を防止できる。

## 【0016】

【特許文献1】特開2000-262051号公報

【特許文献2】特開平10-174431号公報

【特許文献3】特開平11-206118号公報

【特許文献4】特開2002-247848号公報

【特許文献5】特開2002-247849号公報

【特許文献6】特開平4-127869号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0017】

ところで、図6のDC-DCコンバータでは、パルストランス12から出力されるパルス信号のパルス幅は固定であった。換言すれば、オンタイミング遅延回路の遅延動作期間の長さは固定されていた。また、部品の特性ばらつきにより、回路によって、転流側同期整流器6のターンオフタイミングがばらついてしまう。この転流側同期整流器6のターンオフタイミングのばらつきによって、転流側同期整流器6のターンオフが遅くなって当該転流側同期整流器6がオフする前に電力スイッチ3がオンすると、短絡電流が発生してしまうという問題が発生する。このため、部品ばらつきによって転流側同期整流器6のターンオフタイミングが遅くなる場合でも短絡電流が発生しないようにするために、電力スイッチ3のオンタイミングの遅延量を大きく設定する必要があった。

## 【0018】

しかしながら、電力スイッチ3のオンタイミングの遅延量が過大になると、それに伴う損失が発生する問題があった。つまり、図6の回路では、タイミングt2で転流側同期整流器6のターンオフが完了したにも拘わらず、タイミングt5までオンタイミング遅延回路の遅延動作が継続している。そのため、電力スイッチ3の入力容量の充電が緩やかなままであり、電力スイッチ3のターンオン動作期間中における両端電圧と電流の重なり（図7（a）、（b）のタイミングt3～t4部分を参照）によるスイッチング損失が増加する問題があった。

## 【0019】

本発明は上記課題を解決するために成されたものであり、その目的は、効率特性を改善することができる同期整流器を用いた絶縁型のDC-DCコンバータを提供することにある。

## 【課題を解決するための手段】

## 【0020】

上記目的を達成するために、この発明は次に示す構成をもって前記課題を解決するための手段としている。すなわち、この発明は、トランスの一次側に設けられた1個以上の電力スイッチのスイッチング動作によって、トランスの二次側から交流電力が出力され、当該交流電力がトランスの二次側に接続された整流平滑回路により直流に変換される構成を備えたDC-DCコンバータにおいて、電力スイッチのスイッチング動作を制御するためのオン信号とオフ信号を交互に電力スイッチに向けて出力する電力スイッチ駆動回路が設けられ、また、トランスの二次側の整流平滑回路には、前記電力スイッチとはスイッチングのオンとオフの動作が逆となるMOSFETから成る逆駆動タイプの同期整流器が設けられており、さらに、電力スイッチ駆動回路から電力スイッチへのオン信号の出力を検知してオン信号による電力スイッチのオン動作開始を妨げて電力スイッチのオンタイミングを遅延させるオンタイミング遅延回路と、電力スイッチ駆動回路から電力スイッチへのオン信号の出力を検知したときに直ちに前記逆駆動タイプの同期整流器にオフ信号を出力し

て、オンタイミング遅延回路により電力スイッチのオン動作開始が遅延している期間に逆駆動タイプの同期整流器をオフさせる早期ターンオフ回路とが設けられており、さらに、逆駆動タイプの同期整流器のゲート電圧の低下を検出して当該同期整流器のオフを検知したときに、オンタイミング遅延回路の遅延動作を解消させて電力スイッチをオンさせる遅延解消回路が設けられていることを特徴として構成されている。

【発明の効果】

【0021】

この発明によれば、オンタイミング遅延回路の遅延動作中に、電力スイッチとはスイッチングのオンとオフの動作が逆となる逆駆動タイプの同期整流器をターンオフさせるので、逆駆動タイプの同期整流器のターンオフ遅れによる短絡電流の発生を防止できる。その上、この発明では、遅延解消回路が設けられており、逆駆動タイプの同期整流器のゲート電圧が低下して当該逆駆動タイプの同期整流器がターンオフすると、遅延解消回路によって、直ちにオンタイミング遅延回路の遅延動作が解消される。このため、逆駆動タイプの同期整流器がオフしたにも拘わらず無駄にオンタイミング遅延回路の遅延動作が継続されるということが無くなり、遅延動作期間が過大であることに起因する損失を抑制することができる。これにより、効率特性が改善される効果を得ることができる。かつ、遅延解消回路は簡易な回路構成で実現できるので、部品点数の増加を抑えることができる。

【0022】

また、電力スイッチ駆動回路から電力スイッチに至るまでの信号経路上にオンタイミング遅延回路を介設することにより、電力容量の小さい小型の部品でオンタイミング遅延回路を形成できる効果を得ることができる。

【0023】

早期ターンオフ回路が、電力スイッチ駆動回路から電力スイッチへのオン信号の出力を知らせる信号をトランスの一次側から二次側に伝達する手段として、パルストランスを用いることにより、通常のドライブトランスより励磁インダクタンスの小さい小型のトランスを使用できる効果を得ることができる。

【0024】

また、オンタイミング遅延回路を、早期ターンオフ回路のパルストランスの励磁インダクタンスを利用して電力スイッチのオンタイミングを遅延させる構成とすることにより、パルストランスは、早期ターンオフ回路の構成要素の一つとして機能すると共に、オンタイミング遅延回路の構成要素の一つとしても機能するので、少ない部品点数で回路を構成できる効果を得ることができる。

【0025】

さらに、電力スイッチオン促進回路を設けることにより、その電力スイッチオン促進回路によって、遅延解消回路によってオンタイミング遅延回路の遅延動作が解消されてから、電力スイッチのターンオン動作が完了するまでの時間を非常に短時間にすることができる。

【0026】

さらにまた、オンタイミング遅延回路に遅延調整回路を設けることにより、遅延調整回路によって遅延動作終了タイミングを調整することができるので、例えば部品ばらつき等に起因したオンタイミング遅延回路の遅延動作終了タイミングのばらつきを抑制することができて、逆駆動タイプの同期整流器がオフする前にオンタイミング遅延回路の遅延動作が終了してしまうという問題を確実に防止することができる。

【発明を実施するための最良の形態】

【0027】

以下に、本発明に係る実施形態例を図面を参照しながら説明する。

【0028】

図1に本発明に係る実施形態例1の回路構成を示し、また、図2にその回路の概略の動作波形例を示す。ここではフォワードコンバータを例として説明する。

【0029】



実施形態例 1 の DC-DC コンバータは、図 1 に示すように、メイントランス 2 と、電力スイッチ 3 (N チャンネル MOS FET) と、制御 IC 4 と、整流側同期整流器 5 (N チャンネル MOS FET) と、転流側同期整流器 6 (N チャンネル MOS FET) と、チョークコイル 7 と、コンデンサ 8 と、早期ターンオフ回路 16 と、遅延解消回路 17 とを有して構成されている。

#### 【0030】

遅延解消回路 17 は抵抗体 14 と、コンデンサ 15 とを有して構成されている。この実施形態例 1 では、転流側同期整流器 6 のゲートと、N チャンネル MOS FET 13 のゲートとを接続する信号経路が形成されており、この信号経路上に遅延解消回路 17 が介設されている。

#### 【0031】

この実施形態例 1 では、遅延解消回路 17 に関わる構成以外の構成は前記図 6 の DC-DC コンバータの回路構成と同様であり、この実施形態例 1 の説明において、図 6 の DC-DC コンバータと同一構成部分には同一符号を付し、その共通部分の重複説明は省略する。

#### 【0032】

以下に、実施形態例 1 において特徴的な遅延解消回路 17 の動作をオンタイミング遅延回路および早期ターンオフ回路 16 の動作と共に図 2 のタイムチャートを利用して説明する。例えば、図 2 (c) に示すように、タイミング t1 において、制御 IC 4 内部の電力スイッチ駆動回路から、電力スイッチ 3 をターンオンさせるオン信号が出力されると、このオン信号によって、パルストランス 12 の一次コイル 12A と電力スイッチ 3 のゲート (制御端子) の直列回路に電圧が印加する。このタイミング t1 の時点では、電力スイッチ 3 のゲート電圧は 0 V なので、電力スイッチ駆動回路の出力電圧は全てパルストランス 12 の一次コイル 12A に加わる。これにより、パルストランス 12 の二次コイル 12B から図 2 (e) に示すようなパルス信号が出力される。

#### 【0033】

また、制御 IC 4 から出力されたオン信号は、抵抗体 11 とパルストランス 12 を介して電力スイッチ 3 のゲートに加えられて電力スイッチ 3 の入力容量に電荷が充電されていくが、抵抗体 11 とパルストランス 12 の励磁インダクタンスが、遅延要素として作用して、電力スイッチ 3 のゲート電圧の上昇は緩やかである (図 2 (d) 参照)。このゲート電圧の上昇速度 (入力容量の充電速度) は、抵抗体 11 の抵抗値およびパルストランス 12 の励磁インダクタンスにより設定できる。すなわち、抵抗体 11 とパルストランス 12 によって、電力スイッチ 3 のオンタイミングを遅延させるオンタイミング遅延回路が構成されている。なお、オンタイミング遅延回路は、パルストランス 12 の励磁インダクタンスだけでも構成できるが、励磁インダクタンスは部品ばらつきや周囲の環境温度変動によって変動し易く、この励磁インダクタンスの変動によって、オンタイミング遅延回路の遅延動作終了タイミングがばらつきやすい。このため、オンタイミング遅延回路の遅延動作終了タイミングを安定化させるために抵抗体 11 を設けている。すなわち、抵抗体 11 は、オンタイミング遅延回路の遅延動作終了タイミングを調整するための遅延調整回路を構成している。

#### 【0034】

前記オンタイミング遅延回路の遅延動作により電力スイッチ 3 のオンタイミングが遅延している期間に、二次コイル 12B から出力されたパルス信号がオン信号として N チャンネル MOS FET 13 のゲート (制御端子) に加わり、これにより、N チャンネル MOS FET 13 がターンオンする。N チャンネル MOS FET 13 がターンオンすると、図 2 (f) に示すように、タイミング t2 において、転流側同期整流器 6 のゲート蓄積電荷が放電して、転流側同期整流器 6 がターンオフする。

#### 【0035】

この転流側同期整流器 6 のゲートの蓄積電荷の放電によって、転流側同期整流器 6 のゲート電圧が急峻に低下すると、パルストランスの二次コイル 12B を経由して、遅延解消

回路 17 のコンデンサ 15 に電流が流れ込む。この動作によって、パルストランスの一次コイル 12A に、パルストランス 12 のパルス信号を打ち消す方向の起電力が発生し、パルス信号が消滅する。これにより、電力スイッチ 3 のゲート充電に対するパルストランス 12 の遅延効果が解消され、電力スイッチ 3 のゲートが速やかに充電され、図 2 (d) に示すように、タイミング  $t_4$  において、電力スイッチ 3 のゲート電圧が急激に増加する。即ち、実施形態例 1 の構成では、遅延解消回路 17 は、コンデンサ 15 への電流流入により転流側同期整流器 6 のゲート電圧の低下を検出して転流側同期整流器 6 のオフを検知すると、転流側同期整流器 6 がオフしたことを知らせる信号をパルストランス 12 に加えてパルストランス 12 および抵抗体 11 (オンタイミング遅延回路) による電力スイッチ 3 のオンタイミング遅延動作を解消させる。

#### 【0036】

また、パルストランス 12 のパルス信号が消滅した後、パルストランス 12 → ダイオード 10 → パルストランス 12 の経路で循環電流が流れ、ダイオード 10 の順方向電圧降下によってパルストランス 12 の励磁状態がリセットされる。その後、図 2 (c) に示すように、タイミング  $t_5$  で、制御 IC 4 内部の電力スイッチ駆動回路から電力スイッチ 3 をターンオフさせるオフ信号が出力されると、ダイオード 10 を介して電力スイッチ 3 の入力容量の蓄積電荷が放電され、電力スイッチ 3 がターンオフする。

#### 【0037】

上記のように、実施形態例 1 では、早期ターンオフ回路 16 は、オンタイミング遅延回路の遅延動作によって電力スイッチ 3 のオンタイミングが遅延している期間に転流側同期整流器 6 をターンオフさせ、転流側同期整流器 6 のターンオフ遅れによる短絡電流の発生を防止する。また、遅延解消回路 17 によって、転流側同期整流器 6 がオフすると直ちにオンタイミング遅延回路の遅延動作が解消されるので、電力スイッチ 3 のオンタイミングの遅延量が過大になることが防止できて、遅延量過大に起因したスイッチング損失の発生を抑制できる。

#### 【0038】

以下に、本発明に係る実施形態例 2 を説明する。

#### 【0039】

実施形態例 2 の回路構成を図 3 に示す。実施形態例 2 が実施形態例 1 と異なる構成は、早期ターンオフ回路 16 および遅延解消回路 17 の回路構成であり、それ以外の構成は実施形態例 1 とほぼ同様である。この実施形態例 2 の説明では、早期ターンオフ回路 16 と遅延解消回路 17 以外の回路構成の重複説明は省略する。

#### 【0040】

実施形態例 2 において、早期ターンオフ回路 16 は、ダイオード 10 と、パルストランス 12 と、Nチャネル MOSFET 13 とを有して構成されている。パルストランス 12 は、一次コイル 12A と二次コイル 12B を備えている。遅延解消回路 17 は抵抗体 14, 18 と、コンデンサ 15 と、PNP トランジスタ 19 とを有して構成されている。

#### 【0041】

実施形態例 2 の DC-DC コンバータにおいて特徴的な回路動作の一例を図 2 を利用して説明する。例えば、図 2 (c) に示すように、タイミング  $t_1$  において、制御 IC 4 内部の電力スイッチ駆動回路から、電力スイッチ 3 をターンオンさせるオン信号が出力されると、パルストランス 12 の一次コイル 12A に電圧が加わり、二次コイル 12B から図 2 (e) に示すようなパルス信号が出力する。

#### 【0042】

また、制御 IC 4 から出力されたオン信号がパルストランス 12 を介して電力スイッチ 3 のゲートに供給され、電力スイッチ 3 の入力容量を充電していくが、オンタイミング遅延回路のパルストランス 12 の励磁インダクタンスによって、その充電速度は緩やかであり、電力スイッチ 3 のオンタイミングが遅延される。なお、実施形態例 2 では、抵抗体 14, 18 がオンタイミング遅延回路の遅延動作終了タイミングを調整する遅延調整回路として機能している。

## 【0043】

この電力スイッチ3のオンタイミングの遅延中に、二次コイル12Bから出力されたパルス信号がNチャネルMOSFET13の制御端子（ゲート）に加えられて、NチャネルMOSFET13がターンオンする。NチャネルMOSFET13がターンオンすると、図2（f）に示すように、タイミングt2において、転流側同期整流器6のゲート蓄積電荷が放電して、転流側同期整流器6がターンオフする。

## 【0044】

遅延解消回路17のPNPトランジスタ19のベース－エミッタ間には、転流側同期整流器6のゲートとNチャネルMOSFET13のゲートとの電圧差を抵抗体14、18で分圧した電圧が加わる。早期ターンオフ回路16によって転流側同期整流器6がターンオフして、転流側同期整流器6のゲート電圧がNチャネルMOSFET13のゲート電圧より低くなり、かつ、PNPトランジスタ19のベース－エミッタ間電圧がスレシヨルド値以上になると、遅延解消回路17のPNPトランジスタ19がターンオンする。PNPトランジスタ19がターンオンすると、パルストランス12の二次コイル12Bの両端が短絡される。これにより、パルストランス12の励磁インダクタンスによる遅延効果が解消され、電力スイッチ3のゲートが速やかに充電される。

## 【0045】

パルストランス12のパルス信号が消滅した後、パルストランス12→ダイオード10→パルストランス12の経路で循環電流が流れ、ダイオード10の順方向電圧降下によってパルストランス12の励磁状態がリセットされる。タイミングt5で、制御IC4内部の電力スイッチ駆動回路から電力スイッチ3をターンオフさせるオフ信号が出力されると（図2（c）参照）、ダイオード10を介して電力スイッチ3の入力容量の蓄積電荷が放電され、電力スイッチ3がターンオフする。

## 【0046】

実施形態例2においても、実施形態例1と同様に、早期ターンオフ回路16は、オンタイミング遅延回路の遅延動作による電力スイッチ3のオンタイミング遅延期間中に転流側同期整流器6をターンオフさせ、転流側同期整流器6のターンオフ遅れによる短絡電流の発生を防止する。また、遅延解消回路17の遅延解消動作によって、転流側同期整流器6がオフすると直ちにオンタイミング遅延回路の遅延動作が解消されるので、電力スイッチ3のオンタイミングの遅延量が過大になることが防止でき、遅延量過大に起因したスイッチング損失の発生を抑制できる。

## 【0047】

以下に、この発明に係る実施形態例3を説明する。

## 【0048】

実施形態例3の回路構成を図4に示す。実施形態例3では、早期ターンオフ回路16および遅延解消回路17の回路構成以外の構成は実施形態例1、2と同様の構成を備えている。なお、この実施形態例3では、実施形態例1、2の回路構成部分と同一構成部分には同一符号を付し、その回路構成の重複説明は省略する。

## 【0049】

この実施形態例3では、早期ターンオフ回路16は、パルストランス12と、NチャネルMOSFET13とを有して構成されている。パルストランス12は一次コイル12Aと二次コイル12Bを備えている。遅延解消回路17はPチャネルMOSFET22により構成されている。

## 【0050】

この実施形態例3における早期ターンオフ回路16および遅延解消回路17の回路動作例を図2を利用して説明する。例えば、図2（c）に示すように、タイミングt1において、制御IC4内部の電力スイッチ駆動回路から、電力スイッチ3をターンオンさせるオン信号が出力されると、パルストランス12の一次コイル12Aに電圧が加わり、二次コイル12Bから図2（e）に示すようなパルス信号が出力する。

## 【0051】

また、制御 IC 4 から出力されたオン信号はパルストランス 12 を介して電力スイッチ 3 のゲートに供給され、電力スイッチ 3 の入力容量を充電していくが、オンタイミング遅延回路のパルストランス 12 の励磁インダクタンスによって、その充電速度は緩やかであり、電力スイッチ 3 のオンタイミングが遅延される。

#### 【0052】

この電力スイッチ 3 のオンタイミングの遅延中に、二次コイル 12 B から出力されたパルス信号が N チャンネル MOS FET 13 のゲートに加えられて、N チャンネル MOS FET 13 がターンオンする。N チャンネル MOS FET 13 がターンオンすると、図 2 (f) に示すように、タイミング t2 において、転流側同期整流器 6 のゲート蓄積電荷が放電して、転流側同期整流器 6 がターンオフする。

#### 【0053】

その転流側同期整流器 6 のゲート蓄積電荷の放電によって転流側同期整流器 6 のゲート電圧が低下すると、P チャンネル MOS FET 22 のソースゲート間電圧（つまり、転流側同期整流器 6 のゲート電圧と N チャンネル MOS FET 13 のゲート電圧との差）が上昇し、P チャンネル MOS FET 22 のソースゲート間電圧がスレッシュホールド値に達したときに、P チャンネル MOS FET 22 がターンオンして、パルストランス 12 の二次コイル 12 B の両端が P チャンネル MOS FET 22 を介して短絡する。これにより、パルストランス 12 の出力パルス信号が消滅して、オンタイミング遅延回路のパルストランス 12 の励磁インダクタンスによる遅延効果が解消される。このオンタイミング遅延回路の遅延動作の解消によって、電力スイッチ 3 のゲートが速やかに充電される。

#### 【0054】

パルストランス 12 のパルス信号が消滅した後、パルストランス 12 → P チャンネル MOS FET 22 の寄生ダイオード 23 → パルストランス 12 の経路で循環電流が流れ、P チャンネル MOS FET 22 の寄生ダイオード 23 の順方向電圧降下によってパルストランス 12 の励磁状態がリセットされる。なお、このように、P チャンネル MOS FET 22 の寄生ダイオード 23 は、実施形態例 1, 2 に示したダイオード 10 と同様にパルストランス 12 をリセットさせることができるものである。このことから、この実施形態例 3 では、実施形態例 1, 2 に示したダイオード 10 が省略されて、部品点数が削減されている。

#### 【0055】

その後、タイミング t5 で、制御 IC 4 内部の電力スイッチ駆動回路から電力スイッチ 3 をターンオフさせるオフ信号が出力されると（図 2 (c) 参照）、電力スイッチ 3 の入力容量の蓄積電荷が放電され、電力スイッチ 3 がターンオフする。

#### 【0056】

実施形態例 3 においても、実施形態例 1, 2 と同様に、早期ターンオフ回路 16 は、オンタイミング遅延回路の遅延動作による電力スイッチ 3 のオンタイミング遅延期間中に転流側同期整流器 6 をターンオフさせ、転流側同期整流器 6 のターンオフ遅れによる短絡電流の発生を防止する。また、遅延解消回路 17 の遅延解消動作によって、転流側同期整流器 6 がオフすると直ちにオンタイミング遅延回路の遅延動作が解消されるので、電力スイッチ 3 のオンタイミングの遅延量が過大になることが防止でき、遅延量過大に起因したスイッチング損失の発生を抑制できる。

#### 【0057】

なお、本発明は実施形態例 1 ~ 3 の構成に限定されるものではなく、様々な実施の形態を採り得るものである。例えば、実施形態例 1 ~ 3 では、DC-DC コンバータはフォワードタイプであったが、本発明は、フォワードタイプ以外の電力変換方式、例えばフライバックタイプや、電力スイッチを複数備えたプッシュプルタイプや、ハーフブリッジタイプなどにも適用可能である。

#### 【0058】

また、実施形態例 1 では、パルストランス 12 の一次コイル 12 A に並列に遅延調整回路として抵抗体 11 が設けられていたが、例えば、この抵抗体 11 は省略してもよい。ただし、抵抗体 11 を省略する場合には、早期ターンオフ回路 16 によって転流側同期整流

器 6 がオフするまで確実に電力スイッチ 3 のオンタイミングが遅延するように、一次コイル 12 A の励磁インダクタンスを設定する。この場合には、オンタイミング遅延回路の遅延動作期間は長めに設定されることになるが、この発明の構成では、遅延解消回路 17 が設けられ当該遅延解消回路 17 によって転流側同期整流器 6 がオフすると直ちにオンタイミング遅延回路の遅延動作が解消されるので、従来のように、転流側同期整流器 6 がオフしてもオンタイミング遅延回路が継続的に遅延動作を行うことに起因したスイッチング損失の増加を抑制することができる。

#### 【0059】

さらに、実施形態例 1, 2 では、制御 IC 4 の出力端子 OUT と電力スイッチ 3 のゲートとを接続する信号経路上にダイオード 10 が介設されていたが、このダイオード 10 は省略してもよい。ダイオード 10 を省略した場合には、遅延解消回路 17 によってパルストランス 12 の二次コイル 12 B の両端が短絡したときに、一次コイル 12 A に逆電圧が発生し、この逆電圧がオン促進信号として電力スイッチ 3 のゲートに加えられる。このため、遅延解消回路 17 によってオンタイミング遅延回路の遅延動作が解消されると、電力スイッチ 3 のゲートには、制御 IC 4 から速やかに電荷が供給されるだけでなく、パルストランス 12 の一次コイル 12 A から電荷が供給されることになり、より一層早く電力スイッチ 3 のゲートの充電が行われる。つまり、ダイオード 10 を省略した場合には、パルストランス 12 の一次コイル 12 A によって、電力スイッチ 3 のターンオン動作を促進する電力スイッチオン促進回路が構成される。

#### 【0060】

また、ダイオード 10 は電力スイッチ 3 がオフするときに、電力スイッチ 3 の入力容量の放電を促す機能を有するものであることから、ダイオード 10 を省略する場合には、そのダイオード 10 と同様の機能を持つ、例えば、図 5 に示すような PNP トランジスタ 20 を設けてもよい。

#### 【0061】

さらに、実施形態例 2 では、遅延回路 17 には抵抗体 14, 18 の直列接続体が設けられ、転流側同期整流器 6 のゲートと N チャネル MOSFET 13 のゲートとの電圧差を抵抗体 14, 18 で分圧し、この分圧電圧を PNP トランジスタ 19 のベースに加える構成であったが、例えば、転流側同期整流器 6 のゲートと N チャネル MOSFET 13 のゲートとの電圧差が、PNP トランジスタ 19 をオンさせるための電圧（スレッシュホールド値）よりも少し高い程度である場合には、その転流側同期整流器 6 のゲートと N チャネル MOSFET 13 のゲートとの電圧差を分圧しなくとも、耐圧を気にせずに PNP トランジスタ 19 のベースに加えることができる。この場合には、例えば、抵抗体 18 を省略することができる。

#### 【0062】

さらに、実施形態例 3 の構成に加えて、実施形態例 1, 2 と同様に、図 4 の点線に示すような制御 IC 4 の出力端子 OUT と電力スイッチ 3 のゲートとを直接的に接続する信号経路を設け当該信号経路上にダイオード 10 を介設してもよい。この場合には、遅延解消回路 17 によりパルストランス 12 の出力パルス信号が消滅した後に、P チャネル MOSFET 22 の寄生ダイオード 23 と、ダイオード 10 との 2 つのダイオードの順方向電圧降下によって、パルストランス 12 の励磁状態がリセットされることとなる。

#### 【0063】

さらに、実施形態例 2, 3 の構成に加えて、実施形態例 1 と同様に、パルストランス 12 の一次コイル 12 A に並列的に抵抗体 11 を設けてもよい。

#### 【0064】

さらに、実施形態例 1 ~ 3 では、オンタイミング遅延回路は、パルストランス 12 の一次コイル 12 A の励磁インダクタンスを利用していたが、例えば、メイントランス 2 の二次コイル 2 B と整流側同期整流器 5 と転流側同期整流器 6 で構成される交流電流の流れる電流ループと直列に、オンタイミング遅延回路としてインダクタ、またはカレントトランス、またはスイッチ素子を設けてもよい。この場合、このオンタイミング遅延回路に応じ

た遅延解消回路が設けられることになる。

【0065】

さらに、実施形態例1～3では、制御IC4から電力スイッチ3へのオン信号の出力を知らせる信号をメイントランス2の一次側から二次側に伝達するためにパルストランス12を利用していたが、例えば、フォトカプラを利用して、制御IC4から電力スイッチ3へのオン信号の出力を知らせる信号をメイントランス2の一次側から二次側に伝達する構成としてもよい。

【0066】

さらに、メイントランス2とパルストランス12は、特開2000-260639号公報に開示されている方式によって、1組のコアを用いて、互いに磁氣的に独立なトランスとして構成してもよい。このような構成とすることで、部品点数が減少し、コスト低減が実現できる。

【図面の簡単な説明】

【0067】

【図1】 本発明に係る実施形態例1のDC-DCコンバータを示す回路図である。

【図2】 実施形態例1のDC-DCコンバータにおける主要な回路構成部の動作波形の一例を示す波形図である。

【図3】 本発明に係る実施形態例2のDC-DCコンバータを示す回路図である。

【図4】 本発明に係る実施形態例3のDC-DCコンバータを示す回路図である。

【図5】 その他の実施形態例を示す回路図である。

【図6】 従来のDC-DCコンバータの一例を示す回路図である。

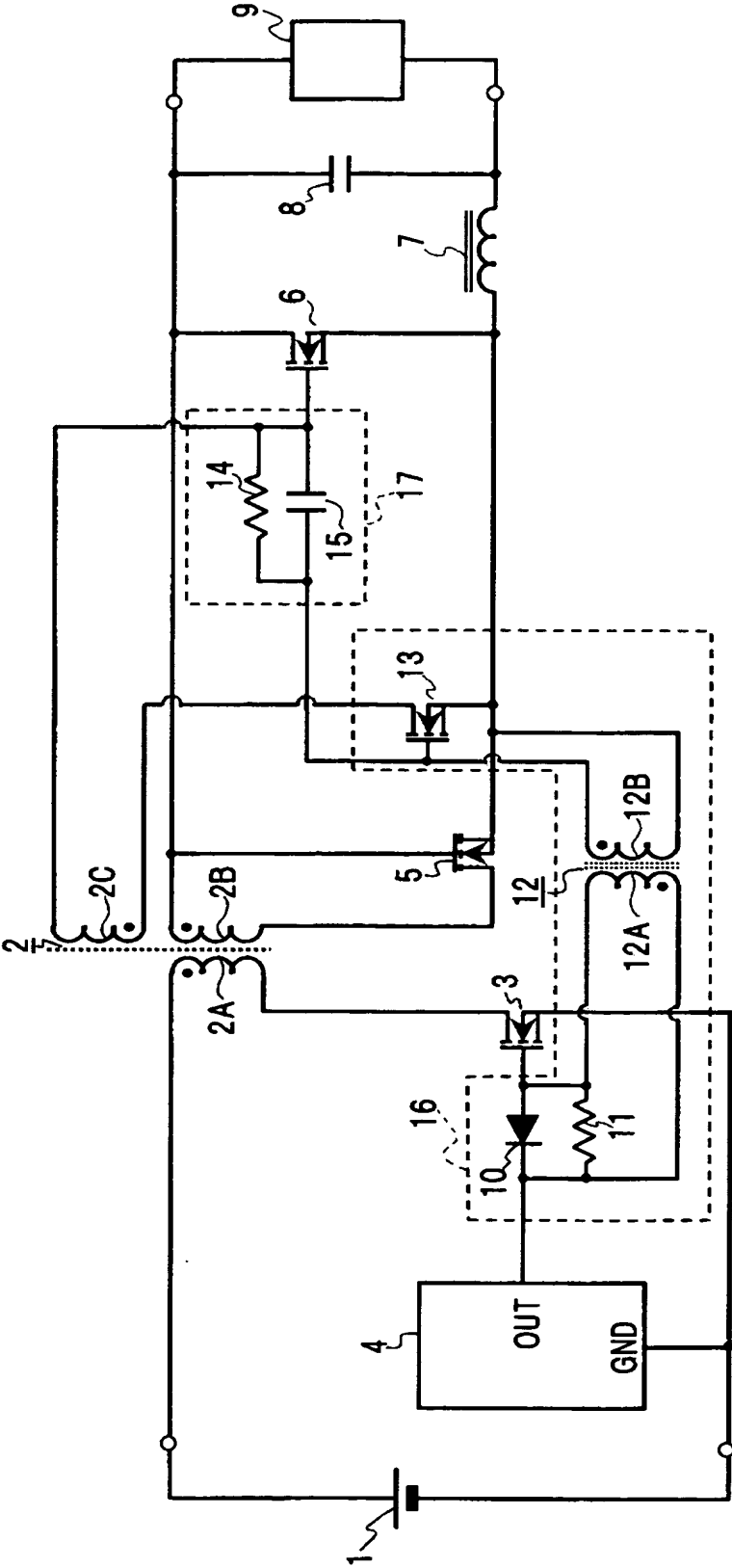
【図7】 図6に示すDC-DCコンバータの主要な回路構成部の動作波形例を示す波形図である。

【符号の説明】

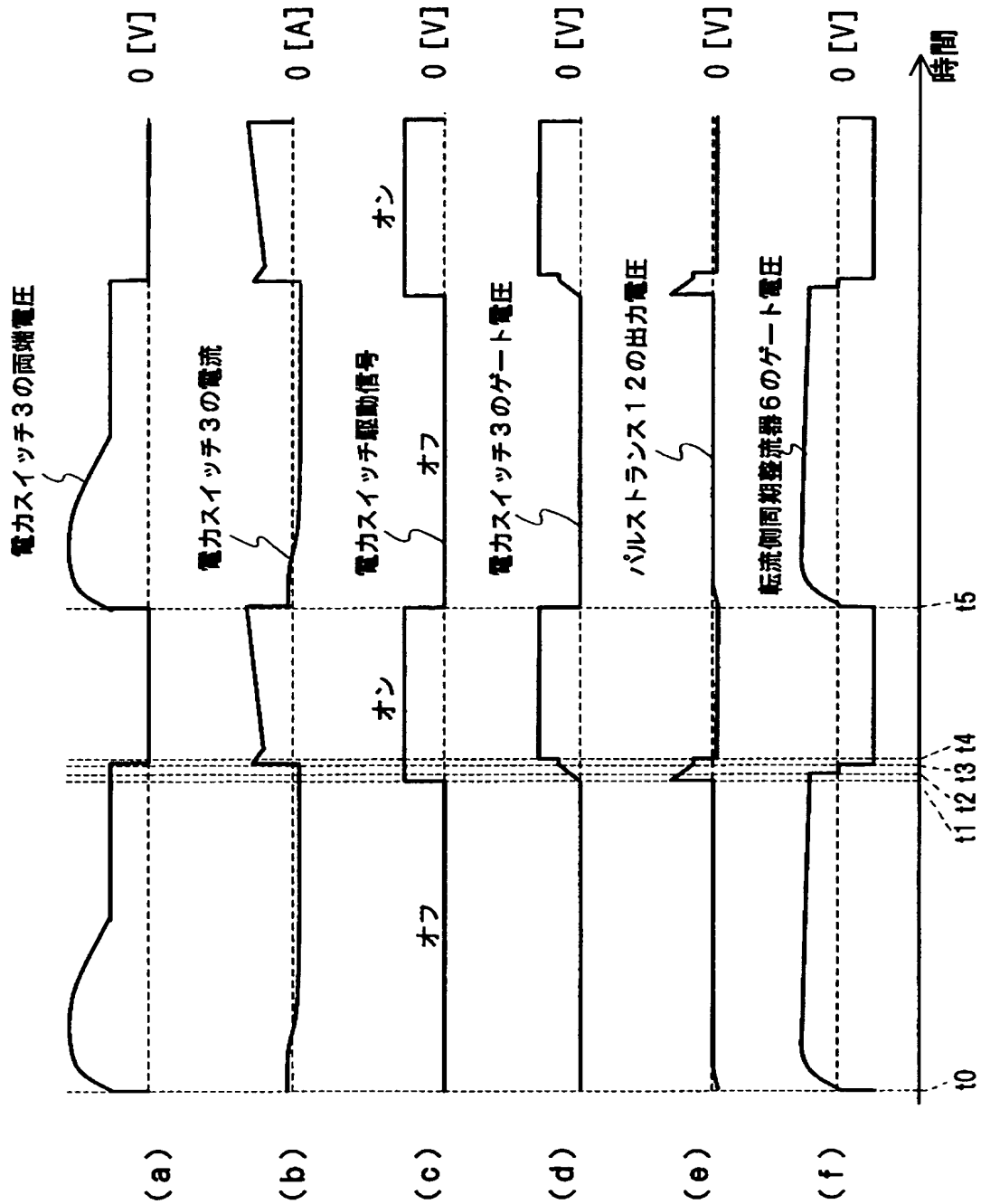
【0068】

- 1 直流入力電源
- 2 メイントランス
- 2A メイントランス一次コイル
- 2B メイントランス二次コイル
- 2C メイントランス補助コイル
- 3 電力スイッチ
- 4 制御IC
- 5 整流側同期整流器
- 6 転流側同期整流器
- 7 チョークコイル
- 8, 15 コンデンサ
- 9 負荷装置
- 10, 22 ダイオード
- 11, 14, 18 抵抗
- 12 パルストランス
- 12A パルストランス一次コイル
- 12B パルストランス二次コイル
- 13 NチャネルMOSFET
- 16 早期ターンオフ回路
- 17 遅延解消回路
- 19 PNPトランジスタ
- 22 PチャネルMOSFET

【書類名】 図面  
【図 1】

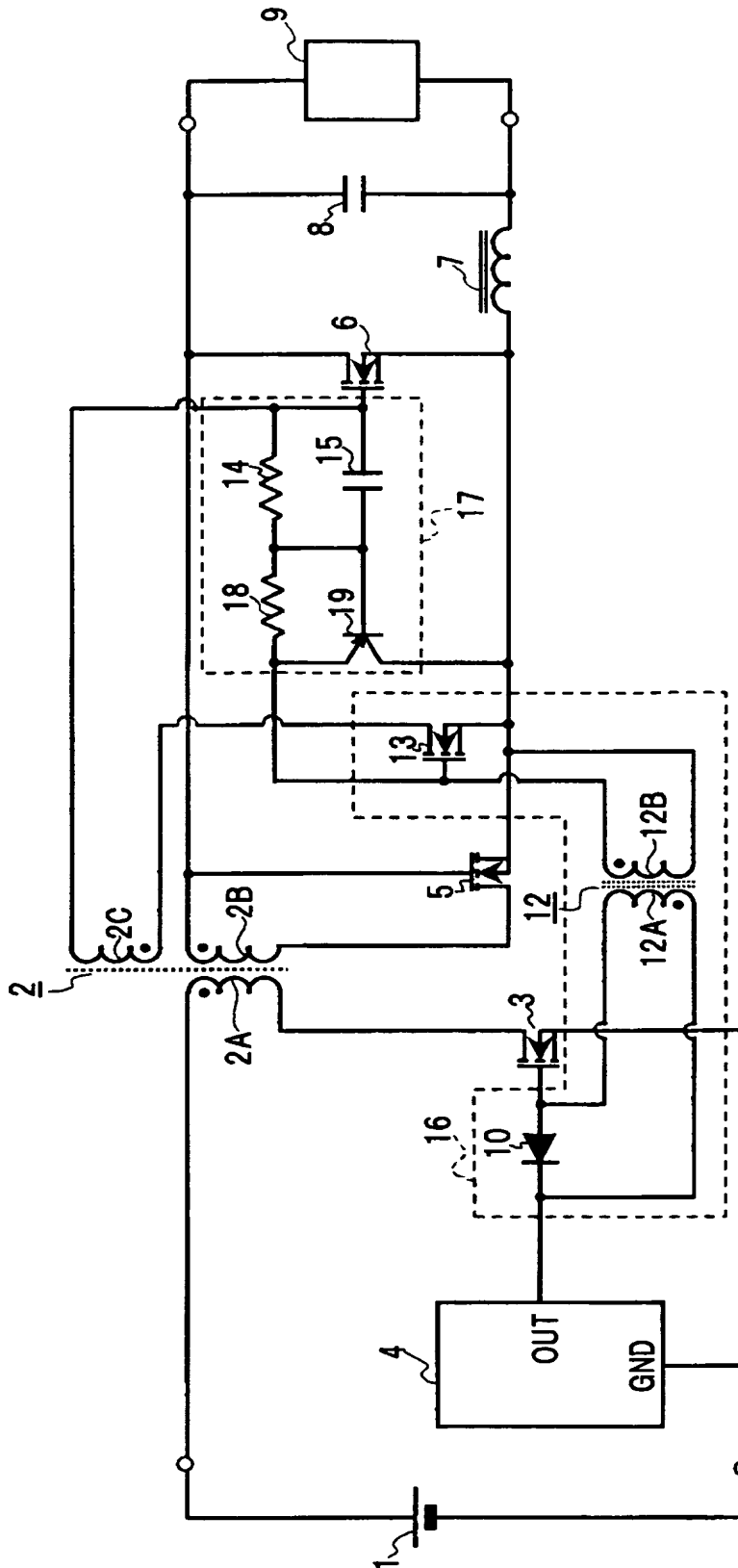


【図 2】

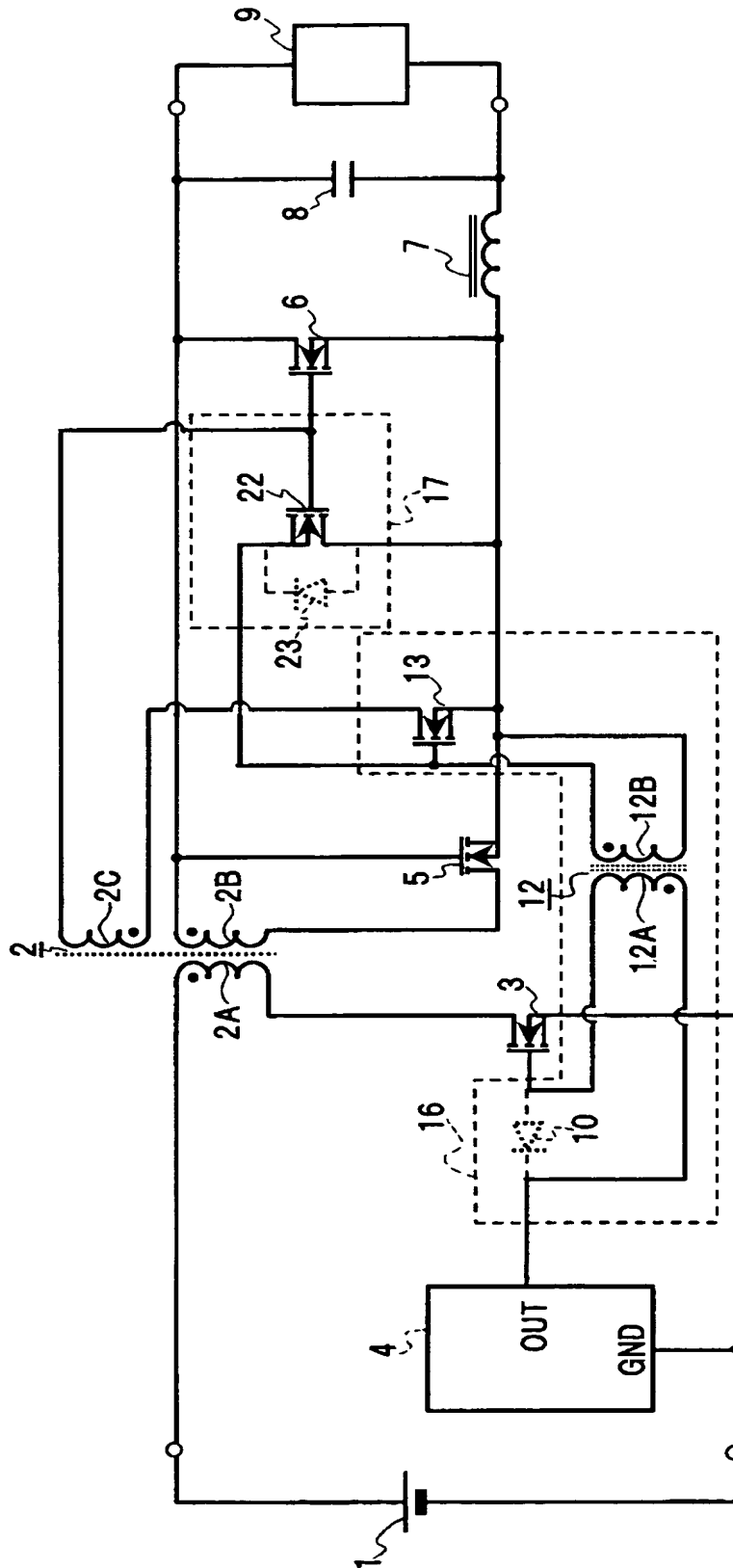




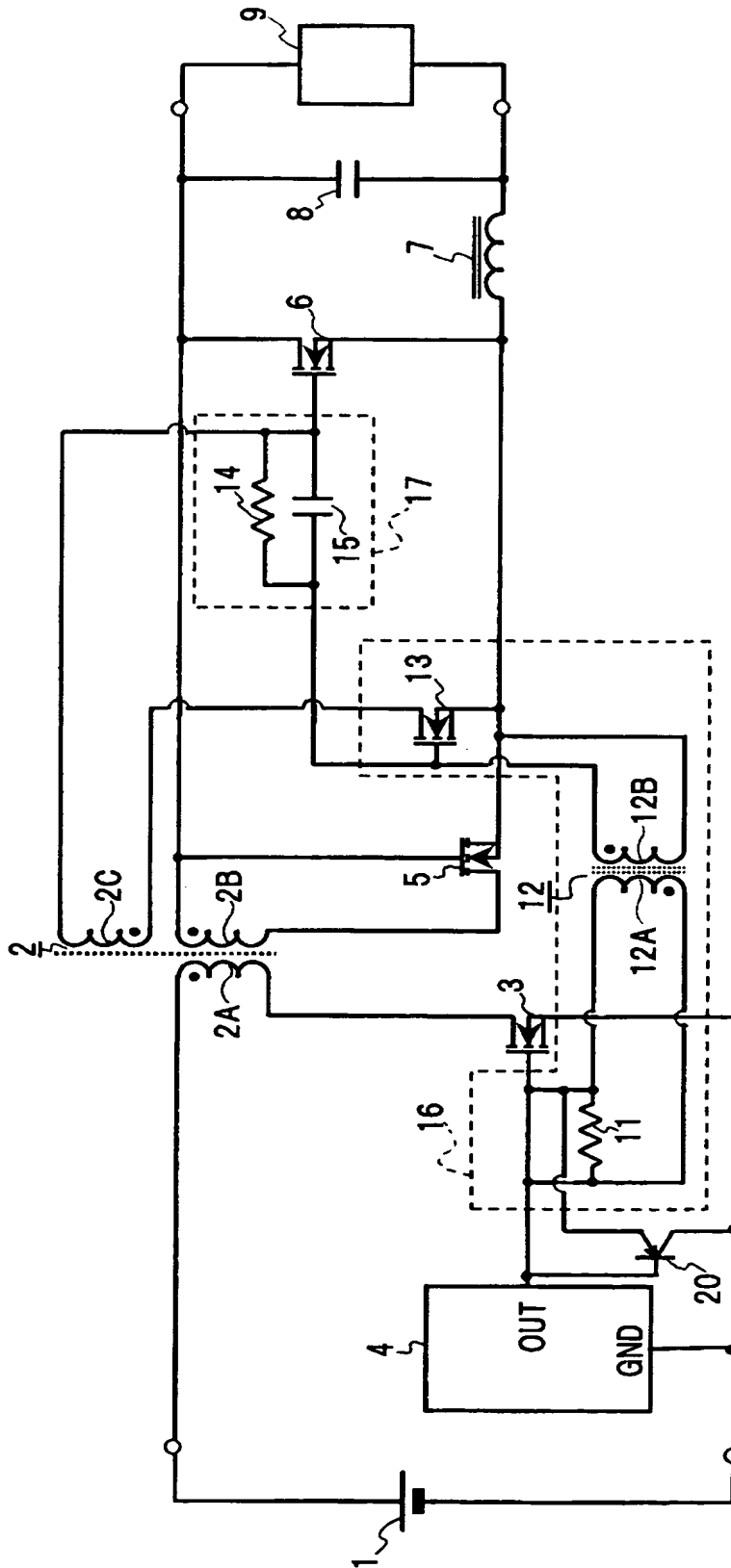
【図 3】



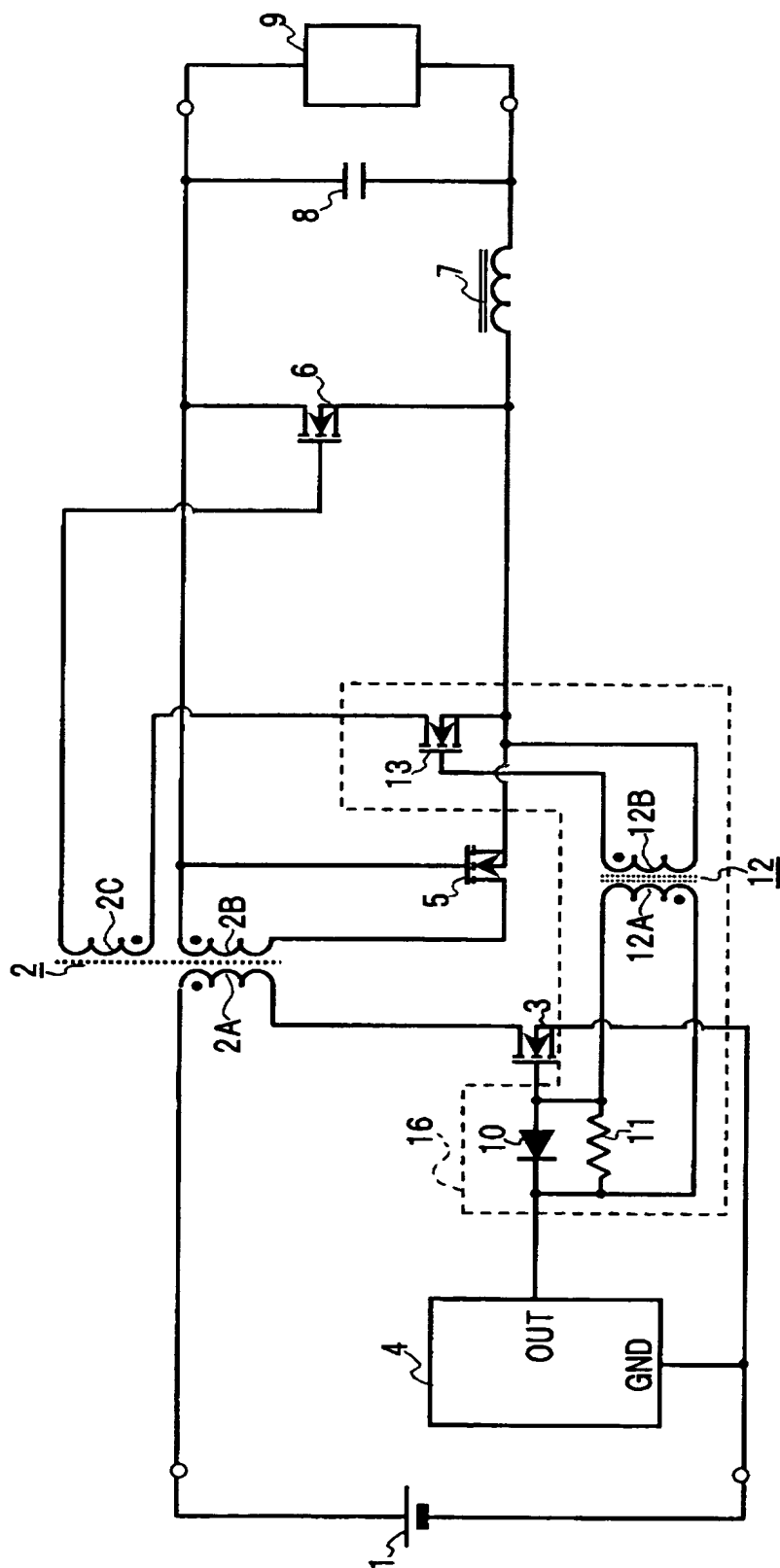
【図 4】



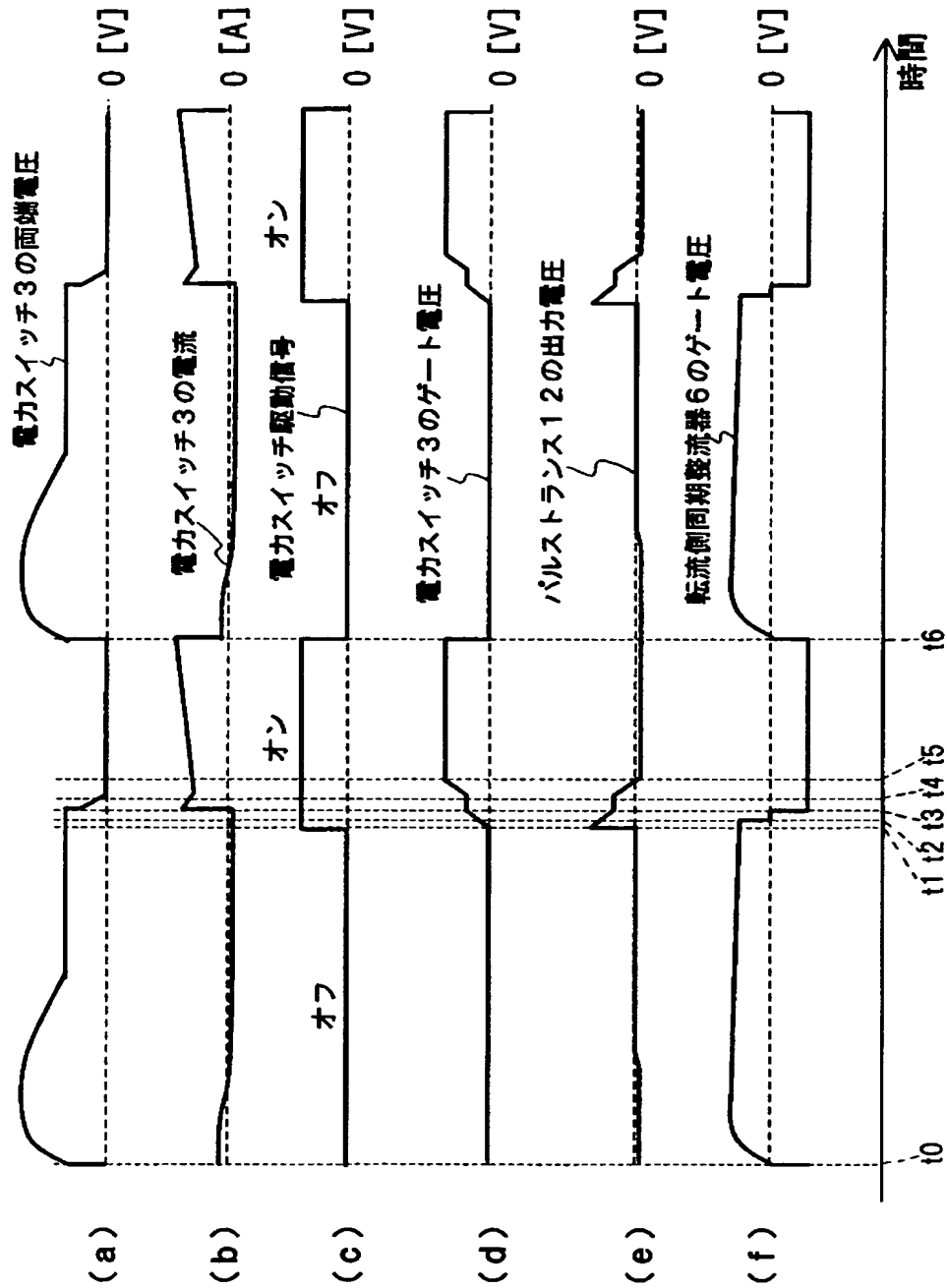
【図 5】



【圖 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 効率特性の改善を図る。

【解決手段】 制御 IC 4 内部の電力スイッチ駆動回路から電力スイッチ 3 にオン信号が出力されたときに、電力スイッチ 3 のオン動作開始を妨げて電力スイッチ 3 のオンタイミングを遅延するオンタイミング遅延回路を設ける。電力スイッチ 3 のオンタイミング遅延中に、電力スイッチ 3 とはスイッチングのオンとオフの動作が逆となる同期整流器 6 をオフさせる早期ターンオフ回路 1 6 を設ける。同期整流器 6 のゲート電圧が低下して同期整流器 6 がオフしたことを検知したときに直ちにオンタイミング遅延回路の遅延動作を解消する遅延解消回路 1 7 を設ける。同期整流器 6 がオフした以降も引き続きオンタイミング遅延回路の遅延動作が継続されると、その遅延動作の継続に起因した損失が発生するが、遅延解消回路 1 7 によって、その問題を防止できる。

【選択図】 図 1

特願 2 0 0 3 - 3 0 4 9 2 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 6 2 3 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

京都府長岡京市天神二丁目 2 6 番 1 0 号

氏 名

株式会社村田製作所